

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-108301

(43)Date of publication of application : 10.04.2002

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2000-300491

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.09.2000

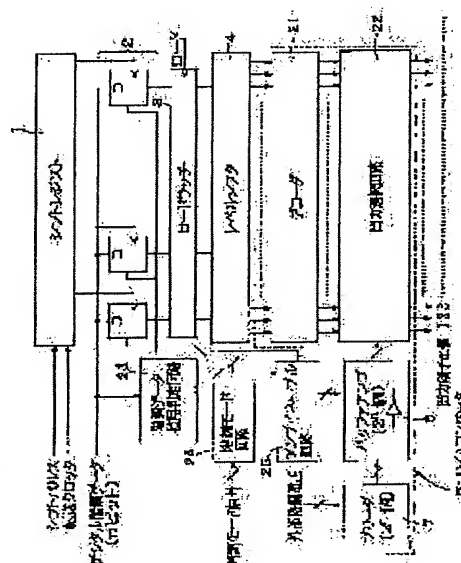
(72)Inventor : SAITO TETSUYA
NANZAKI HIRONORI
ITAKURA TETSURO

(54) LIQUID CRYSTAL DRIVING CIRCUIT AND LOAD DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal driving circuit which can reduce power consumption and a load driving circuit which can shorten a settling time.

SOLUTION: This invention is equipped with a shift register 1, a data latch circuit 2, a load latch circuit 3, a level shifter 4, a decoder 21, an output selecting circuit 22, a breeder 7, and a buffer amplifier 6. According to the number of gradations, the number of drivings of flip-flops in an amplifier enable circuit 25 and a latch part in the data latch circuit 2 are switched, so unnecessary flip-flops, etc., do not consume electric power, so that the power consumption is reduced. Further, the buffer amplifier 6 has two-stage constitution and resistances and switches are connected in series between the output terminal of the buffer amplifier 6 and respective loads. Consequently, even if the load quantity varies, a time constant becomes constant and the settling time becomes short, so that stable operation is obtained.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-108301

(P2002-108301A)

(43) 公開日 平成14年4月10日 (2002.4.10)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 1 2		6 1 1 H
			6 1 2 F

審査請求 未請求 請求項の数10 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-300491(P2000-300491)

(22) 出願日 平成12年9月29日 (2000.9.29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 斉藤 哲也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 南崎 浩徳

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

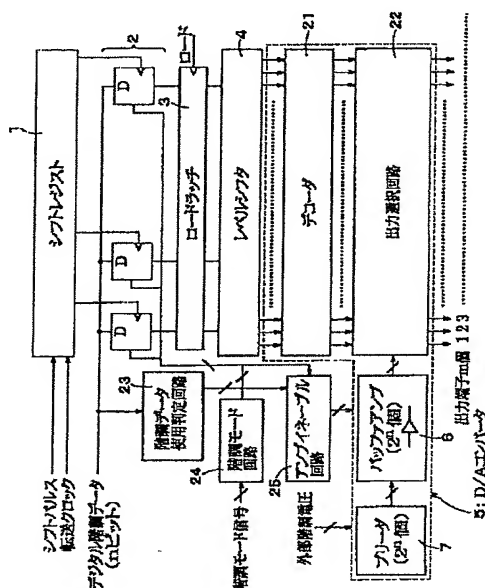
最終頁に続く

(54) 【発明の名称】 液晶駆動回路および負荷駆動回路

(57) 【要約】

【課題】 消費電力を低減できる液晶駆動回路と、セトリング時間を短縮できる負荷駆動回路とを提供する。

【解決手段】 本発明は、シフトレジスタ1と、データラッチ回路2と、ロードラッチ回路3と、レベルシフタ4と、デコーダ21と、出力選択回路22と、プリアンプ6とを備えている。階調数に応じて、アンプライン回路25内のフリップフロップとデータラッチ回路2におけるラッチ部の駆動数を切り替えるため、不要なフリップフロップ等で電力を消費なくなり、消費電力の低減が図れる。また、バッファアンプ6は2段構成のアンプからなり、バッファアンプ6の出力端子と各負荷との間にはそれぞれ抵抗およびスイッチが直列接続されている。これにより、負荷量が変動しても時定数が一定になり、セトリング時間が短くなり、安定動作が可能になる。



【特許請求の範囲】

【請求項1】複数の信号線のそれぞれにデジタル階調データに応じたアナログ電圧を供給する液晶駆動回路において、

前記デジタル階調データのそれぞれに対応するアナログ基準電圧を出力する基準電圧発生回路と、

前記アナログ基準電圧のそれぞれを個別にバッファリングする複数のバッファアンプと、

所定期間内に入力された前記デジタル階調データおよび前記デジタル階調データの階調数を決定するための階調モード信号の少なくとも一方に基づいて、前記複数のバッファアンプのそれぞれをイネーブル状態か、ディセーブル状態に設定するアンプイネーブル回路と、を備えることを特徴とする液晶駆動回路。

【請求項2】前記階調モード信号に基づいて階調数を設定する階調モード回路をさらに備え、

前記アンプイネーブル回路は、前記階調モード回路の出力信号に基づいて、イネーブル状態になる前記バッファアンプの最大数を設定することを特徴とする請求項1に記載の液晶駆動回路。

【請求項3】パルス信号を順次シフトしたシフトパルスを出力するシフトレジスタと、

前記シフトレジスタの各出力端子から出力されたシフトパルスに同期して、前記デジタル階調データをそれぞれラッチする複数の第1ラッチ回路と、

前記複数の第1ラッチ回路の各出力を実質的に同一のタイミングでラッチする第2ラッチ回路と、

前記第2ラッチ回路の出力に基づいてデコード信号を生成するデコーダと、

前記デコーダの出力に基づいて、前記複数の信号線ごとに前記複数のバッファアンプの出力のいずれか一つを選択する出力選択回路と、をさらに備え、

前記第1ラッチ回路のそれぞれは、最大階調数分のラッチ部を少なくとも有し、前記階調モード回路の出力信号に基づいて、イネーブル状態になる前記ラッチ部の数が可変とされることを特徴とする請求項2に記載の液晶駆動回路。

【請求項4】前記階調モード回路には、前記階調モード信号として、第1の動作モードを示す信号、および前記第1の動作モードよりも階調数の少ない第2の動作モードを示す信号のいずれかが入力され、

前記階調モード回路は、前記第2の動作モード時には、前記第1の動作モード時よりも少ない数の前記ラッチ部および前記バッファアンプがイネーブル状態に設定されるように制御することを特徴とする請求項3に記載の液晶駆動回路。

【請求項5】複数の信号線のそれぞれにデジタル階調データに応じたアナログ電圧を供給する液晶駆動回路において、

前記デジタル階調データのそれぞれに対応するアナログ

基準電圧を出力する基準電圧発生回路と、

パルス信号を順次シフトしたシフトパルスを出力するシフトレジスタと、

前記シフトレジスタの各出力端子から出力されたシフトパルスに同期して、前記デジタル階調データをそれぞれラッチする複数の第1ラッチ回路と、

前記複数の第1ラッチ回路の各出力を実質的に同一のタイミングでラッチする第2ラッチ回路と、

前記第2ラッチ回路の出力に基づいてデコード信号を生成するデコーダと、

前記デコーダの出力に基づいて、前記複数の信号線ごとに所望のアナログ電圧を出力する出力選択回路と、

階調モード信号に基づいて階調数を設定する階調モード回路と、を備え、

前記第1ラッチ回路のそれぞれは、最大階調数分のラッチ部を少なくとも有し、前記階調モード回路の出力信号に基づいて、イネーブル状態になる前記ラッチ部の数が可変とされることを特徴とする液晶駆動回路。

【請求項6】所定期間内に入力された前記デジタル階調データの種類の示す信号を出力する階調データ使用判定回路をさらに備え、

前記アンプイネーブル回路は、前記階調データ使用判定回路の出力に基づいて、前記複数のバッファアンプのそれぞれをイネーブル状態か、ディセーブル状態に設定することを特徴とする請求項1～5のいずれかに記載の液晶駆動回路。

【請求項7】演算増幅器の出力に基づいて、 m (m は2以上の整数)個の負荷を選択的に駆動する負荷駆動回路において、

前記負荷のそれぞれと前記演算増幅器との接続経路を遮断するか否かを切り替えるスイッチと、

前記演算増幅器の出力端子から前記スイッチを通して前記 m 個の負荷に至る経路上にそれぞれ接続されたインピーダンス素子と、を備えることを特徴とする負荷駆動回路。

【請求項8】演算増幅器の出力に基づいて m (m は1以上の整数)個の負荷を選択的に駆動する負荷駆動回路において、

前記負荷のそれぞれと前記演算増幅器との接続経路を遮断するか否かを切り替えるスイッチと、

前記演算増幅器の出力端子から前記スイッチを通して前記 m 個の負荷に至る経路上にそれぞれ接続されたインピーダンス素子と、

前記演算増幅器の出力端子に直列接続される擬似インピーダンス素子、擬似スイッチおよび擬似キャパシタ素子と、を備え、

前記擬似インピーダンス素子のインピーダンスと前記擬似キャパシタ素子のキャパシタンスとの積が、前記インピーダンス素子のインピーダンスと前記負荷のキャパシタンスとの積に略等しいことを特徴とする負荷駆動回路

路。

【請求項9】前記経路上に、一端が前記演算増幅器の出力端子に接続され、前記 m 個の負荷に対して共通に設けられる共通インピーダンス素子を備えることを特徴とする請求項7または8に記載の負荷駆動回路。

【請求項10】前記共通インピーダンス素子のインピーダンス値は、前記インピーダンス素子のインピーダンス値と前記スイッチのオン抵抗との和よりも小さいことを特徴とする請求項9に記載の負荷駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、階調表示が可能な液晶駆動回路と、容量性負荷を選択的に駆動する負荷駆動回路に関する。

【0002】

【従来の技術】携帯電話機は、スペース的に制限があるため、大容量のバッテリーを搭載することができず、電話機内部の回路の消費電力をできるだけ低減する必要がある。その一方で、携帯電話機にカラーの液晶パネルを搭載したものが増えてきた。

【0003】液晶パネル駆動用の従来のソースドライバICは、パネル内の信号線ごとにバッファアンプを備えていた。このため、 m 個の駆動出力端子を有するソースドライバICでは、常に m 個（例えば、384や420個）のバッファアンプを動作させており、消費電力が増える原因になっていた。

【0004】図11はこのような従来の信号線駆動回路の概略構成を示すブロック図である。図11の信号線駆動回路は、外部から供給されたシフトパルスを転送クロックに同期させて順にシフトさせるシフトレジスタ1と、シフトレジスタ1の各出力端子から出力されたシフトパルスに同期させてデジタル階調データをラッチする複数のデータラッチ回路2と、複数のデータラッチ回路2の出力を同タイミングでラッチするロードラッチ回路3と、ロードラッチ回路3の出力のレベル変換を行うレベルシフタ4と、レベルシフタ4の出力に応じたアナログ電圧を出力するD/Aコンバータ5と、D/Aコンバータ5の出力をバッファリングするバッファアンプ6と、デジタル階調データに対応するアナログ基準電圧を生成するブリーダ7とを備えており、バッファアンプ6の出力はそれぞれ信号線に供給される。

【0005】ブリーダ7は、簡単には、外部電圧と接地電圧とを、直列接続された複数の抵抗素子により抵抗分圧してアナログ基準電圧を生成する。

【0006】

【発明が解決しようとする課題】上述したように、図11に示される従来の信号線駆動回路において、消費電力が増えるという問題を解消し得る一手法として、各信号線ごとにバッファアンプを設ける代わりに、アナログ基準電圧を供給する基準電圧線のそれぞれごとにバッファ

アンプを設ける手法が提案されている。この場合、階調数が n であれば、 2^n 個のバッファアンプを設ければよく、信号線のそれぞれごとにバッファアンプを設けるよりも、バッファアンプの数を大幅に削減でき、消費電力の低減が図れる。

【0007】このように、アナログ基準電圧を供給する基準電圧線のそれぞれごとにバッファアンプを設ける場合、バッファアンプ6を、2段のアンプからなる演算増幅器11で構成するのが一般的である。また、安定性をよくするために、図12(a)に示すように、後段の演算増幅器11の出力端子をキャパシタ素子C10を介して入力端子に帰還させてミラー補償により位相余裕を確保している。あるいは、特開平11-150427号で提案した図13(a)の回路のように、出力に直列接続された抵抗 R_z と負荷容量 C_L によるゼロ点を用いて位相補償を行って位相余裕を確保していた。

【0008】図12(a)の回路では、図12(b)の周波数特性図に示すように、開ループ周波数特性に現れる2番目のポール（極）は、2段目の利得段のトランスコンダクタンス g_{m2} と負荷容量 C_L とで決まる周波数 g_{m2}/C_L に依存する。なお、ポール1個につき位相が90度回転する。

【0009】図12(a)の回路の場合、負荷容量が大きくなるにつれて、2番目のポールの周波数は駆動する負荷の数 m に応じて、 $g_{m2}/(m \cdot C_L)$ と低くなるため、小さな負荷容量の場合、低い周波数から位相が回って位相余裕が小さくなり、 m が大きい場合には、位相余裕がなくなって発振しやすくなるという問題がある。

【0010】一方、図13(a)の回路では、図13(b)の周波数特性図に示すように、2番目のポールの周波数は負荷量に変化しても共通であるが、1番目のポールの周波数とゼロ点の周波数は負荷量に応じて変化する。また、図13(a)の回路の場合、負荷の数が増えるほど、抵抗 R_z と負荷容量 $m \cdot C_L$ とで形成されるローパス特性により、波形がなまり、セトリング時間が長くなるという問題が生じる。

【0011】本発明は、このような点に鑑みてなされたものであり、その目的は、消費電力を低減できる液晶駆動回路を提供することにある。また、他の目的は、セトリング時間を短縮できる負荷駆動回路を提供することにある。

【0012】

【課題を解決するための手段】上述した課題を解決するために、本発明は、複数の信号線のそれぞれにデジタル階調データに応じたアナログ電圧を供給する液晶駆動回路において、前記デジタル階調データのそれぞれに対応するアナログ基準電圧を出力する基準電圧発生回路と、前記アナログ基準電圧のそれぞれを個別にバッファリングする複数のバッファアンプと、所定期間内に入力された前記デジタル階調データおよび前記デジタル階調デー

タの階調数を決定するための階調モード信号の少なくとも一方に基づいて、前記複数のバッファアンプのそれぞれをイネーブル状態か、ディセーブル状態に設定するアンブイネーブル回路と、を備える。

【0013】また、複数の信号線のそれぞれにデジタル階調データに応じたアナログ電圧を供給する液晶駆動回路において、前記デジタル階調データのそれぞれに対応するアナログ基準電圧を出力する基準電圧発生回路と、パルス信号を順次シフトしたシフトパルスを出力するシフトレジスタと、前記シフトレジスタの各出力端子から出力されたシフトパルスに同期して、前記デジタル階調データをそれぞれラッチする複数の第1ラッチ回路と、前記複数の第1ラッチ回路の各出力を実質的に同一のタイミングでラッチする第2ラッチ回路と、前記第2ラッチ回路の出力に基づいてデコード信号を生成するデコーダと、前記デコーダの出力に基づいて、前記複数の信号線ごとに所望のアナログ電圧を出力する出力選択回路と、階調モード信号に基づいて階調数を設定する階調モード回路と、を備え、前記第1ラッチ回路のそれぞれは、最大階調数分のラッチ部を少なくとも有し、前記階調モード回路の出力信号に基づいて、イネーブル状態になる前記ラッチ部の数が可変とされる。

【0014】本発明では、デジタル階調データに対応するバッファアンプのみイネーブル状態にするため、バッファアンプでの消費電力を低減できる。

【0015】また、階調数に応じて、バッファアンプや第1ラッチ回路におけるラッチ部の駆動数を切り替えるため、階調が低い場合には、より消費電力を低減できる。

【0016】また、本発明は、演算増幅器の出力に基づいて、 m (m は2以上の整数)個の負荷を選択的に駆動する負荷駆動回路において、前記負荷のそれぞれと前記演算増幅器との接続経路を遮断するか否かを切り替えるスイッチと、前記演算増幅器の出力端子から前記スイッチを通して前記 m 個の負荷に至る経路上にそれぞれ接続されたインピーダンス素子と、を備える。

【0017】さらに、本発明は、演算増幅器の出力に基づいて m (m は1以上の整数)個の負荷を選択的に駆動する負荷駆動回路において、前記負荷のそれぞれと前記演算増幅器との接続経路を遮断するか否かを切り替えるスイッチと、前記演算増幅器の出力端子から前記スイッチを通して前記 m 個の負荷に至る経路上にそれぞれ接続されたインピーダンス素子と、前記演算増幅器の出力端子に直列接続される擬似インピーダンス素子、擬似スイッチおよび擬似キャパシタ素子と、を備え、前記擬似インピーダンス素子のインピーダンスと前記擬似キャパシタ素子のキャパシタンスとの積を、前記インピーダンス素子のインピーダンスと前記負荷のキャパシタンスとの積に略等しくする。

【0018】本発明では、演算増幅器の出力端子と負荷

との間にそれぞれインピーダンス素子を接続するため、負荷量変動しても、セトリング時間が長くなることなく、安定動作が可能になる。

【0019】また、擬似インピーダンス素子と擬似キャパシタ素子を含むダミー負荷回路を演算増幅器の出力端子に接続すれば、他のスイッチがすべてオフの場合でも、このダミー負荷回路により演算増幅器の動作を安定化させることができる。

【0020】また、演算増幅器の出力端子に共通インピーダンス素子を接続すれば、位相余裕を広げることができ、より安定な動作が保障される。

【0021】

【発明の実施の形態】以下、本発明に係る液晶駆動回路および負荷駆動回路について、図面を参照しながら具体的に説明する。

【0022】(第1の実施形態)図1は本発明に係る液晶駆動回路の一実施形態の概略構成を示すブロック図であり、信号線駆動部の構成を示している。図1では、図11と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0023】図1の液晶駆動回路は、図11と同様に、シフトレジスタ1と、データラッチ回路(第1ラッチ回路)2と、ロードラッチ回路(第2ラッチ回路)3と、レベルシフタ4と、デコーダ21と、出力選択回路22と、フリーダ(基準電圧発生回路)7と、バッファアンプ6とを備えている。

【0024】バッファアンプ6、フリーダ7、デコーダ21および出力選択回路22がD/Aコンバータ5を構成している。

【0025】フリーダ7は、例えば図2(a)に示すように、電源電圧と接地電圧とを複数の抵抗により抵抗分圧してアナログ基準電圧を出力する。あるいは、図2

(b)に示すように、少なくとも一部のアナログ基準電圧を外部からバッファ31、32等を介して供給してもよい。

【0026】この他、図1の液晶駆動回路は、デジタル階調データの種別を判別する階調データ使用判定回路23と、階調モード信号に基づいてデータラッチ回路2等を制御する階調モード回路24と、アンブイネーブル回路25とを備えている。

【0027】図3は階調データ使用判定回路23の詳細構成を示す回路図である。階調データ使用判定回路23は、図示のように、 $2^6=64$ 個の論理判定回路231~2364からなる。各論理判定回路231~2364は、3個の6入力NANDゲートG1、G2、G3と、3入力NANDゲートG4と、2個のNORゲートG5、G6と、インバータIV1とを有する。3入力NANDゲートG4の出力は、NORゲートG5、G6により保持される。

【0028】階調データ使用判定回路231~2364は、6ビットのデジタル階調データが(0,0,0,0,0,0)

～(1, 1, 1, 1, 1)のどれに等しいかを判定する。6入力NANDゲートにはそれぞれ、RGBの各6ビット信号RED[0:5]、GREEN[0:5]、BLUE[0:5]が入力される。これら3種類の6ビット信号のうち少なくとも1種類が(0, 0, 0, 0, 0, 0)になれば、論理判定回路231の出力は「1」になる。

【0029】同様に、RGBの6ビットデジタル階調データのうち少なくとも1種類が(0, 0, 0, 0, 0, 1)になれば、論理判定回路232の出力は「1」になる。また、RGBの6ビットデジタル階調データのうち少なくとも1種類が(1, 1, 1, 1, 1, 1)になれば、論理判定回路2364の出力は「1」になる。

【0030】図1の階調モード回路24は、外部から供給される階調モード信号に基づいて、nビットの判別信号を生成して階調数を決定する。階調モードの一例として、例えば携帯電話用の液晶駆動回路の場合、通常の使用時の多階調モードと、待ち受け時の低階調モードとがある。

【0031】階調モード回路24の出力は、複数のデータラッチ回路2とアンプイネーブル回路25に供給される。データラッチ回路2のそれぞれは、最大階調数分のラッチ部をそれぞれ有し、各ラッチ部は、階調モード回路24の出力であるnビットの判別信号、すなわち、階調数に応じて、イネーブル状態またはディセーブル状態に設定される。

【0032】具体的には、階調数が多いほど、イネーブル状態になるデータラッチ回路2内のラッチ部の数が増え、階調数が少ないほど、イネーブル状態になるデータラッチ回路2内のラッチ部の数が減る。これにより、階調数が少ない場合には、イネーブル状態になるラッチ部の数を減らして消費電力の低減を図る。

【0033】アンプイネーブル回路25は、図4に詳細構成を示すように、階調データ使用判定回路23の出力OUT[0:2ⁿ-1]をそれぞれラッチ可能な複数のフリップフロップ31を有する。これらフリップフロップ31は、シフトレジスタ1の最終段のレジスタから出力されたシフトパルスに同期して階調データ使用判定回路23の出力をラッチする。なお、シフトレジスタ1の最終段のレジスタから出力されたシフトパルスで同期化する代わりに、ロードラッチ回路3に入力されるロード信号を利用して、階調データ使用判定回路23の出力をラッチするための同期信号を生成してもよい。

【0034】各フリップフロップ31のセット端子またはリセット端子には、階調モード回路24から信号k[0:2ⁿ-1]が供給される。この信号k[0:2ⁿ-1]の論理により、階調数に応じて、イネーブル状態になるフリップフロップ31の数が変化する。

【0035】イネーブル状態になったフリップフロップ31は、階調データ使用判定回路23の対応する出力(OUT[0:2ⁿ-1]のいずれか)をクロックPLSに同期し

てラッチし、そのラッチ出力は、対応するバッファアンプ6のイネーブル端子に供給される。

【0036】なお、階調数が少なくなると、外部から階調データ使用判定回路23に供給されるデジタル階調データを構成する一部のビットは、所定の論理に固定化される。これにより、図3に詳細構成を示した階調データ使用判定回路23は、低階調モード時にもデジタル階調データの種類を正確に判別できる。

【0037】具体的には、階調モード回路24の出力に基づいて、ディセーブル状態となる図4中のフリップフロップ回路31と対応する論理判定回路23の出力が、固定されることのないビットの論理によらず「0」となるように、一部のビットの論理が固定化される。

【0038】図5はバッファアンプ6の構成の一例を示す回路図である。図示のように、バッファアンプ6は、高電圧側の駆動を行う第1アンプ41と、低電圧側の駆動を行う第2アンプ42とを並列接続した構成になっている。第1および第2アンプ41、42とも、出力を入力側に帰還させたボルテージフォロウ構成である。

【0039】また、第1および第2アンプ41、42は、ANDゲートG7、G8により、アンプイネーブル回路25の出力ENBと極性選択信号VON、VOPとの論理により、イネーブル/ディセーブルとを選択できるようになっている。すなわち、極性選択信号VON、VOPのいずれか一方をハイレベルにすることにより、第1および第2アンプ41、42の一方だけを動作させることができる。

【0040】なお、図5のように、2つのアンプ41、42を設ける理由は、1個のアンプの出力振幅を小さくして消費電力の低減を図るためであるが、1個のアンプだけでバッファアンプ6を構成してもよい。

【0041】図5において、第1および第2アンプ41、42に入力される信号INは、図4のREF[0:2ⁿ-1]と同じであり、ブリーダ7から出力されるアナログ基準電圧である。

【0042】次に、図1の液晶表示回路の動作を説明する。なお、以下では、液晶駆動回路を駆動IC(以下、ソースドライバと呼ぶ)に内蔵する場合の動作を説明する。

【0043】図6は液晶表示装置の全体構成を示すブロック図であり、図1の液晶駆動回路を内蔵するソースドライバを複数個用いて液晶パネルの全信号線を駆動する例を示している。図6の液晶表示装置は、信号線および走査線が列設された液晶パネルLCDPと、それぞれが複数の信号線を駆動する複数のソースドライバSD1～SDq(qは1以上の整数)と、それぞれが複数の走査線を駆動する複数のゲートドライバGD1～GDp(pは1以上の整数)と、ソースドライバSD1～SDqおよびゲートドライバGD1～GDpを制御するコントローラCTRLとを備えている。

【0044】ソースドライバSD1～SDqには、コン

トローラCTRLから出力されたクロックCPH1と入力信号DI/O11とが供給され、液晶パネルLCDPの信号線を駆動するために必要な電圧信号を出力する。ゲートドライバGD1~GDpには、コントローラCTRLから出力されたクロックCPH2と入力信号OI/O21とが供給され、液晶パネルLCDPのゲート線を駆動するために必要な電圧信号を出力する。ソースドライバSD1~SDqはそれぞれ、液晶パネルLCDPの水平方向の一部（以下、ブロックと呼ぶ）の信号線を線順次駆動する。

【0045】図1の階調データ使用判定回路23は、外部からのデジタル階調データの種類を、所定期間内に入力されm個の出力端子に出力されるべきm個のデータを単位として判別し、どのバッファアンプ6を駆動するかを示す信号をアンプイネーブル回路25に供給する。

【0046】アンプイネーブル回路25は、図4に示すように、階調データ使用判定回路23からの信号OUT[0:2ⁿ-1]を、シフトレジスタ1内の最終段のレジスタから出力されたシフトパルスに同期化してバッファアンプ6に供給する。あるいは、ロード信号に基づいて同期信号を生成してもよい。

【0047】これにより、m個分のデジタル階調データに関係のあるバッファアンプ6のみがイネーブル状態になり、消費電力の低減が図れる。

【0048】一方、階調モード回路24は、外部から供給された階調モード信号に基づいて、階調数を決定する。階調モード回路24からのnビット判別信号と信号k[0:2ⁿ-1]をそれぞれアンプイネーブル回路25とデータラッチ回路2に供給する。アンプイネーブル回路25内のフリップフロップとデータラッチ回路2は、階調モード回路24からの信号により、イネーブルになるかを切り替える。

【0049】このように、本実施形態では、階調数に応じて、アンプイネーブル回路25内のフリップフロップとデータラッチ回路2のラッチ部の駆動数を切り替える。例えば、階調数がkビット（ $1 \leq k \leq n-1$ ）に設定されると、データラッチ回路2は、階調モード回路24からの信号により、上位または下位のkビットのラッチ部だけが動作し、アンプイネーブル回路25は、最大で2^{n-k}個おきのバッファアンプ6がイネーブル状態になるように、対応するフリップフロップ31がイネーブル状態になる。このため、不要なフリップフロップやバッファアンプで電力を消費するおそれがなくなり、消費電力の低減が図れる。

【0050】バッファアンプ6の出力は、出力選択回路22に供給される。出力選択回路22は、デジタル階調データに対応するバッファアンプ6の出力を選択し、選択したアナログ電圧を信号線に供給する。このとき、イネーブル状態にあるアンプイネーブル回路25のフリップフロップ31と対応するバッファアンプ6について

も、m個分のデジタル階調データに関係がなく、階調データ使用判定回路23からの出力「0」が入力されたものはバッファアンプ6がディセーブルとなり、さらに消費電力が低減される。

【0051】（第2の実施形態）第2の実施形態は、バッファアンプ6の周辺の構成を工夫することにより、セトリング時間の短縮化を図ったものである。

【0052】第2の実施形態は、バッファアンプ6の周辺の構成以外は第1の実施形態と共通であるため、説明を省略する。

【0053】図7はバッファアンプ6の周辺の構成を示す回路図である。なお、バッファアンプ6が図5のように第1および第2アンプ41、42で構成される場合、第1および第2アンプ41、42のそれぞれが図7のように構成される。

【0054】図7のバッファアンプ6は、2段構成のアンプ51、52からなる演算増幅器を有し、後段のアンプ52の出力端子と各負荷との間にそれぞれ抵抗R1~RNおよびスイッチSW1~SWNとが直列接続されている。スイッチSW1~SWNは出力選択回路22内の不図示のアナログスイッチに対応し、抵抗R1~RNは図1のバッファアンプ6と出力選択回路22との間に接続された抵抗であり、負荷容量CL1~CLNは信号線の負荷容量であり、信号線に接続される画素TFT自体の容量、液晶容量および補助容量などを合わせたものである。

【0055】スイッチSW1~SWNは、負荷の数を切り替えるためのものであり、スイッチSW1~SWNのうち少なくとも1個がオン状態になる。負荷が接続されない場合は、対応するスイッチSW1~SWNを遮断することで、バッファアンプ6はその経路の負荷容量の影響を受けなくなる。

【0056】以下では、バッファアンプ6内のアンプ51、52のトランスコンダクタンスをそれぞれ（-gm1）、（-gm2）とし、アンプ入力段の出力コンダクタンスをgo1、アンプ出力段の出力コンダクタンスをgo2、各負荷の負荷容量をそれぞれCL1、CL2、…、CLNとしている。

【0057】図8は図7のバッファアンプ6の周波数特性図であり、実線は負荷が1個だけの場合、点線は負荷がN個の場合の特性を示している。図示のように、負荷が1個だけの場合の開ループ周波数特性の1番目のポール（極）の周波数はgo2/CL、2番目のポールの周波数はgo1/CL、ゼロ点の周波数は1/(CL・R)である。

【0058】また、負荷がN個の場合の1番目のポールの周波数はgo2/(N・CL)、2番目のポールの周波数はgo1/CL、ゼロ点の周波数は1/(N・CL・R/N)である。

【0059】このように、負荷がN倍になると、負荷容量もN倍になるが、図7のバッファアンプ6の場合、各

負荷に対応して抵抗 $R_1 \sim R_N$ が設けられているため、インピーダンスは $1/N$ 倍になる。その結果、時定数は、負荷量が変動しても、常に一定の値 $C_L \cdot R$ になり、ゼロ点の周波数は負荷量によらず常に一定になる。

【0060】また、2番目のポールの周波数も変動しないため、従来よりも、位相余裕度は確保される。

【0061】本実施形態のバッファアンプ6を図13(a)に示す従来のバッファアンプ6と比較すると、従来は負荷容量が増えると、抵抗 R_Z と負荷容量とで決まる時定数が大きくなって波形がなまり、セトリング時間が長くなるという問題があった。これに対して、本実施形態では、負荷容量が変動しても時定数が一定であるため、波形のなまりが大きくなり、セトリング時間が長くなるおそれもない。

【0062】なお、図7では、バッファアンプ6の出力端子とスイッチ $SW_1 \sim SW_N$ との間に抵抗 $R_1 \sim R_N$ を接続しているが、スイッチ $SW_1 \sim SW_N$ と負荷との間に抵抗 $R_1 \sim R_N$ を接続してもよい。

【0063】(第3の実施形態) 第3の実施形態は、第2の実施形態のバッファアンプ6にダミー負荷回路を付加したものである。

【0064】図9は第3の実施形態のバッファアンプ6の周辺の構成を示す回路図であり、図7の後段のアンプ52の出力端子にダミー負荷回路61を付加した構成になっている。ダミー負荷回路61は、抵抗 R_d 、スイッチ SW_d およびコンデンサ C_d を直列接続したものである。

【0065】第2の実施形態の場合、負荷に接続された少なくとも一つのスイッチ $SW_1 \sim SW_N$ がオンになることを前提としていたが、すべてのスイッチ $SW_1 \sim SW_N$ がオフになってしまうとバッファアンプ6の動作が不安定になり、発振するおそれがある。

【0066】これに対して、図9のバッファアンプ6は、負荷に接続されたスイッチ $SW_1 \sim SW_N$ のすべてがオフになると、ダミー負荷回路61内のスイッチ SW_d をオンするようにしている。ダミー負荷回路61内の抵抗 R_d とコンデンサ C_d との時定数が負荷容量 $C_{L1} \sim C_{LN}$ と抵抗 $R_1 \sim R_N$ との時定数に等しくなるように設定すれば、ダミー負荷回路61以外の負荷を駆動している場合と、ダミー負荷回路61を駆動している場合とで、同じようにバッファアンプ6は安定動作する。

【0067】このように、本実施形態によれば、スイッチ $SW_1 \sim SW_N$ がすべてオフしても、ダミー負荷回路61内のスイッチ SW_d をオンすることで、安定な動作が保障される。

【0068】(第4の実施形態) 第4の実施形態は、バッファアンプ6の出力と抵抗との間に共通抵抗を接続するものである。

【0069】図10は第4の実施形態のバッファアンプ6の周辺の構成を示す回路図であり、一端がバッファア

ンプ6の出力端子に接続され、他端が抵抗 $R_1 \sim R_N$ に接続された共通抵抗 R_Z を有する。この共通抵抗 R_Z は、スイッチ $SW_1 \sim SW_N$ のオン抵抗とスイッチ $SW_1 \sim SW_N$ に接続された抵抗 $R_1 \sim R_N$ の抵抗値の和より小さい、好ましくはスイッチ $SW_1 \sim SW_N$ のオン抵抗より小さい抵抗値をもつ。

【0070】このような共通抵抗 R_Z を設けることにより、図8の周波数特性図において、ゼロ点の周波数を少し下げることができ、第2のポールの周波数とゼロ点の周波数との周波数差を少なくすることができる。これにより、利得が1のときの位相余裕が大きくなり、より安定な動作が可能になる。

【0071】なお、共通抵抗 R_Z の抵抗値が大きすぎると、図13(a)の回路のように、波形がなまってセトリング時間が長くなってしまいうので、共通抵抗 R_Z の抵抗値は、上述したように小さくするのが望ましい。

【0072】図10では、図7の構成に共通抵抗 R_Z を追加した例を示したが、図9に共通抵抗 R_Z を追加してもよい。

【0073】

【発明の効果】以上詳細に説明したように、本発明によれば、所定期間内に入力されたデジタル階調データに基づいて、一部のバッファアンプのみをイネーブル状態にするようにしたため、消費電力の低減が図れる。また、階調数に応じて、駆動する回路を制限するようにしたため、階調数を少なくした場合の消費電力をより低減できる。さらに、演算増幅器の出力端子と各負荷との間にインピーダンス素子を接続するようにしたため、負荷量が増減しても、安定性を維持することができ、また、波形のなまりも抑制されるため、セトリング時間を短縮できる。

【図面の簡単な説明】

【図1】本発明に係る液晶駆動回路の一実施形態の概略構成を示すブロック図。

【図2】プリーダの詳細構成を示す回路図。

【図3】階調データ使用判定回路の詳細構成を示す回路図。

【図4】アンプイネーブル回路の詳細構成を示す回路図。

【図5】バッファアンプの構成を示す回路図。

【図6】液晶表示装置の全体構成を示すブロック図。

【図7】バッファアンプの周辺の構成を示す回路図。

【図8】図7のバッファアンプの周波数特性図。

【図9】第3の実施形態のバッファアンプの周辺の構成を示す回路図。

【図10】第4の実施形態のバッファアンプの周辺の構成を示す回路図。

【図11】従来の信号線駆動回路の概略構成を示すブロック図。

【図12】従来のバッファアンプの周辺の回路図とその

周波数特性図。

【図13】従来のバッファアンプの周辺の回路図とその周波数特性図。

【符号の説明】

- 1 シフトレジスタ
- 2 データラッチ回路
- 3 ロードラッチ回路
- 4 レベルシフタ

5 D/Aコンバータ

6 バッファアンプ

7 フリーダ

21 デコーダ

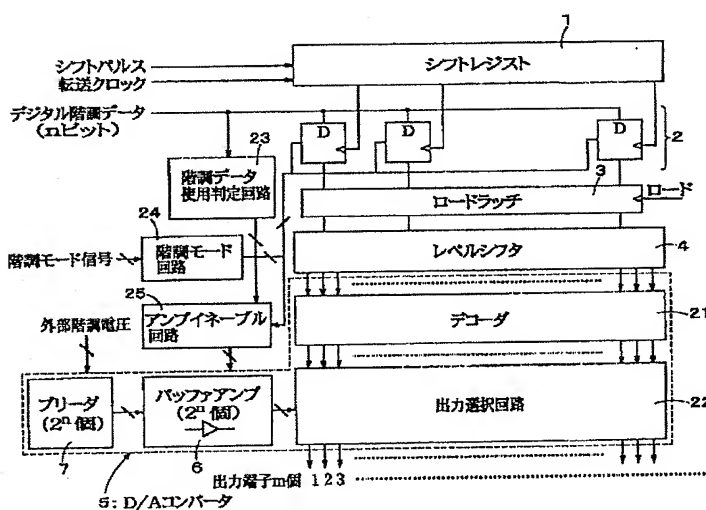
22 出力選択回路

23 階調データ使用判定回路

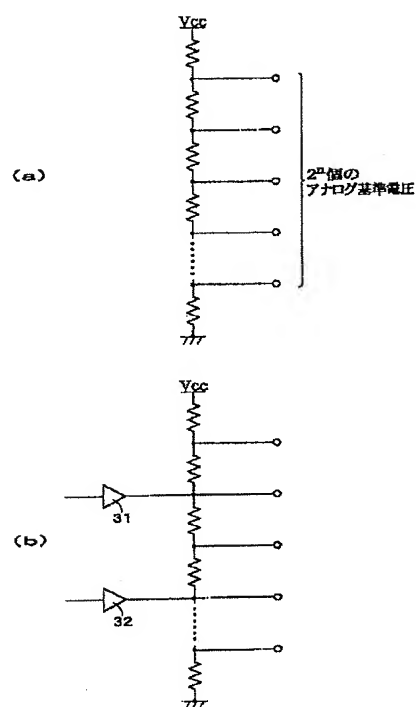
24 階調モード回路

25 アンビネーブル回路

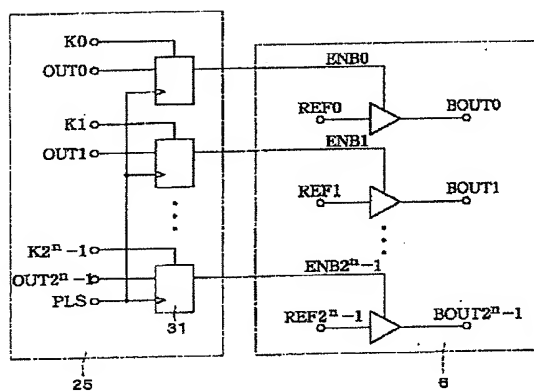
【図1】



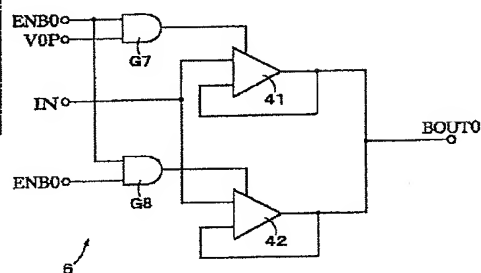
【図2】



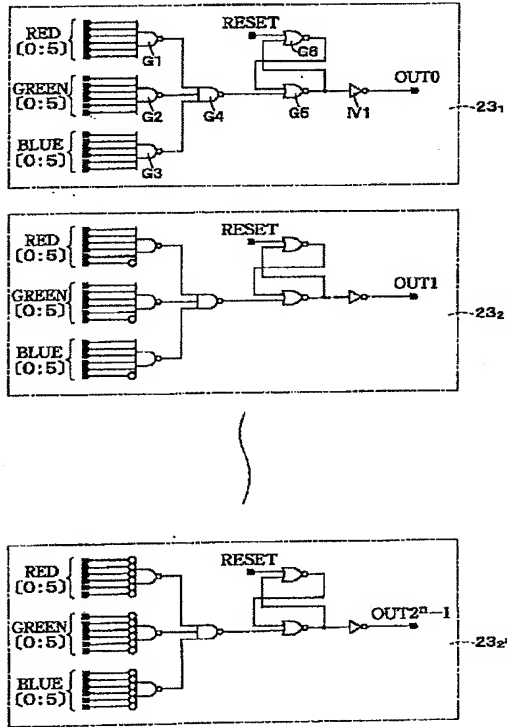
【図4】



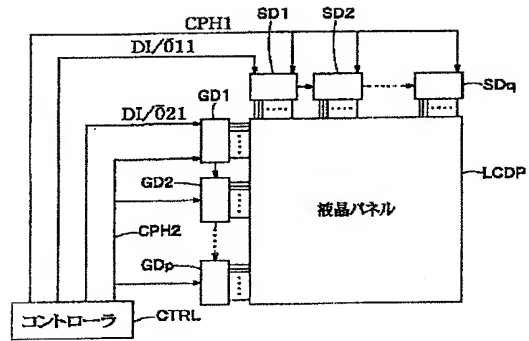
【図5】



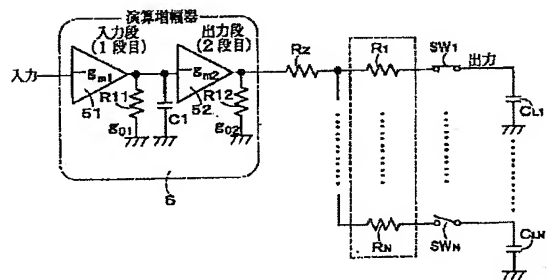
【図3】



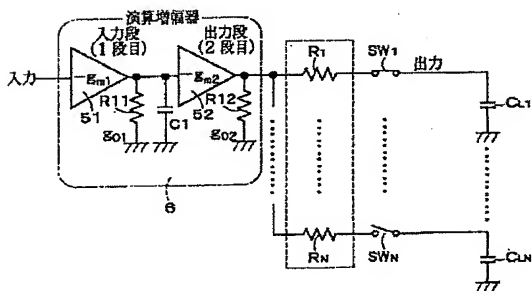
【図6】



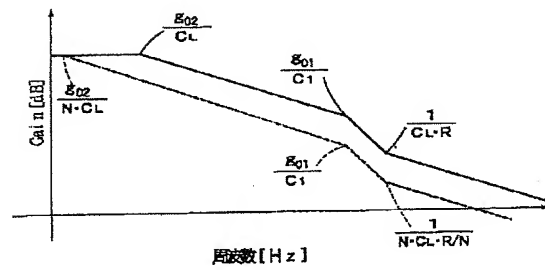
【図10】



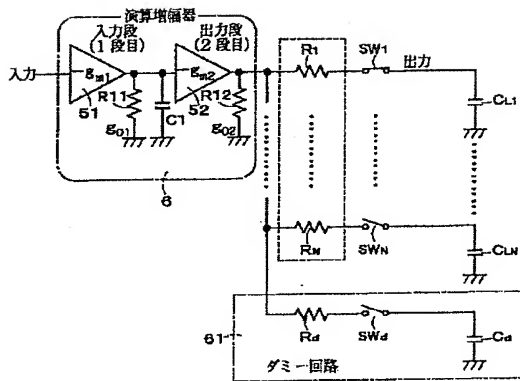
【図7】



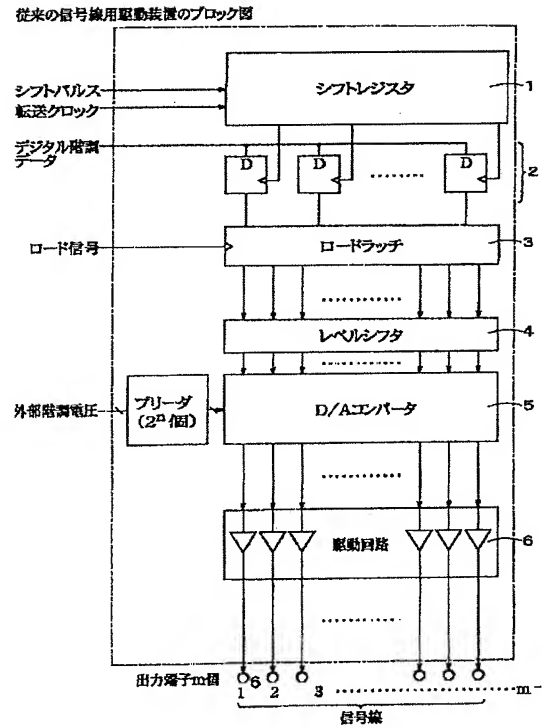
【図8】



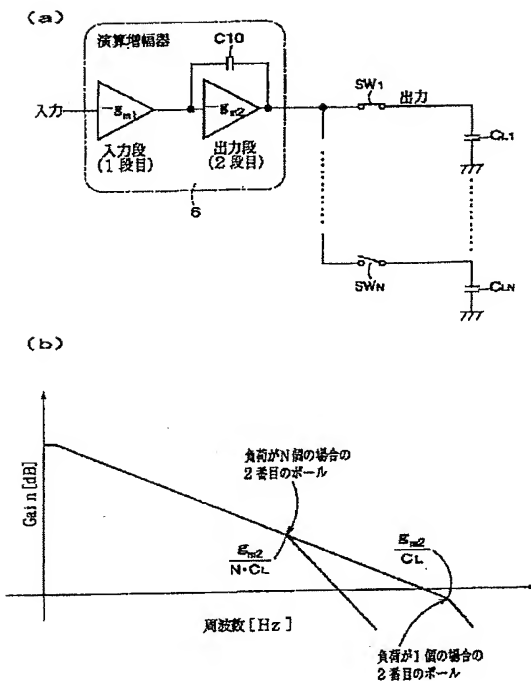
【図9】



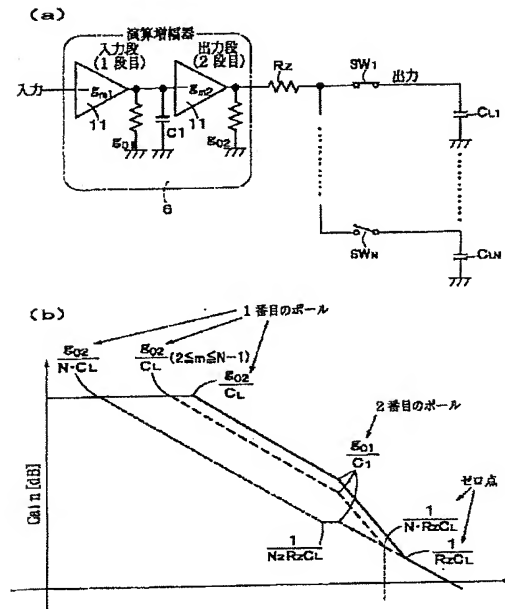
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 F
	6 4 1		6 4 1 C

(72) 発明者 板 倉 哲 朗
 神奈川県川崎市幸区小向東芝町1 株式会
 社東芝研究開発センター内

Fターム (参考) 2H093 NA51 NC22 NC26 ND39 ND49
 5C006 AA16 AC21 AF45 AF50 AF83
 BB11 BC12 BF03 BF04 BF25
 BF26 BF43 FA47
 5C080 AA10 BB05 DD26 EE29 FF12
 JJ02 JJ03 JJ05